

DIALOG(R)File 352:Derwent

(c) 2000 Derwent Info Ltd. All rts. reserv.

008413767 **Image available**

WPI Acc No: 1990-300768/199040

Liquid crystal display active matrix substrate - covered with transparent
insulating flattening film, thus enables uniformly oriented liquid
crystal film NoAbstract Dwg 1/3

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2211428	A	19900822	JP 8934022	A	19890213	199040 B

Priority Applications (No Type Date): JP 8934022 A 19890213

Title Terms: LIQUID; CRYSTAL; DISPLAY; ACTIVE; MATRIX; SUBSTRATE; COVER;
TRANSPARENT; INSULATE; FLATTEN; FILM; ENABLE; INIFORM; ORIENT;
LIQUID; CRYSTAL; FILM; NOABSTRACT

Derwent Class: P81; P85; U11; U14

International Patent Class (Additional): G02F-001/13; G09F-009/30;

H01L-021/31; H01L-029/78

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03235928 **Image available**

ACTIVE MATRIX SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 02-211428 [JP 2211428 A]

PUBLISHED: August 22, 1990 (19900822)

INVENTOR(s): SAKAMOTO MIKIO

SUMIYOSHI KEN

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-034022 [JP 8934022]

FILED: February 13, 1989 (19890213)

INTL CLASS: [5] G02F-001/136; G09F-009/30; H01L-021/312; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION
-- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R044 (CHEMISTRY -- Photosensitive
Resins); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS); R119 (CHEMISTRY -- Heat Resistant
Resins)

JOURNAL: Section: P, Section No. 1128, Vol. 14, No. 508, Pg. 38,
November 07, 1990 (19901107)

ABSTRACT

PURPOSE: To obtain the active matrix substrate which allows good liquid crystal display at a high yield by providing a transparent insulating flat film over the entire surface of the substrate.

CONSTITUTION: Active elements consisting of P-Si semiconductor layers 104 and display electrodes 110 thereof as well as matrix wirings, etc., are formed on a glass substrate 101. For example, a coating material film of 1 to 2.μm thickness consisting of a silicon dioxide system is applied by spin coating over the entire surface of the substrate and is calcined to form a flattening film 111; thereafter, the surface is rubbed to form an oriented film 112. Steep steps by the wirings, etc., are, therefore, made into the flat surface and the good liquid crystal display is enabled by the smooth oriented film 112. Since the need for strong rubbing is eliminated, the substrate of the high yield having no defects is obtained

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

平2-211428

⑮ Int. Cl. 5

G 02 F 1/136
G 09 F 9/30
H 01 L 21/312
29/784

識別記号

5 0 0
3 3 8

B

庁内整理番号

7370-2H
6422-5C
6810-5F

⑰ 公開 平成2年(1990)8月22日

8624-5F H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 1 (全5頁)

⑱ 発明の名称 液晶表示装置用アクティブマトリクス基板

⑲ 特 願 平1-34022

⑳ 出 願 平1(1989)2月13日

㉑ 発 明 者 坂 本 幹 雄 東京都港区芝5丁目33番1号 日本電気株式会社内
㉒ 発 明 者 住 吉 研 東京都港区芝5丁目33番1号 日本電気株式会社内
㉓ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
㉔ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

液晶表示装置用アクティブマトリクス基板

特許請求の範囲

絶縁性基板上に、マトリクス状に形成された薄膜半導体アクティブ素子、該アクティブ素子に1対1に接続された表示電極、該表示電極に前記アクティブ素子を通じ信号を制御および印加するためのマトリクス配線を少なくとも備えた液晶表示装置用アクティブマトリクス基板において、該液晶表示装置用アクティブマトリクス基板全面に透明の絶縁性平坦化膜を設置した事の特徴とする液晶表示装置用アクティブマトリクス基板。

発明の詳細な説明

(産業上の利用分野)

本発明は、薄膜半導体を用いたアクティブ素子を有する液晶表示装置用アクティブマトリクス基

板に関する。

(従来の技術)

近年、薄膜トランジスタ(TFT)や薄膜ダイオード(TFD)等の薄膜半導体を用いたアクティブ素子を各画素毎に設け、高画質化を狙ったアクティブマトリクス液晶表示装置の開発が活発である。このような液晶表示装置は、液晶を2枚の基板ではさんだ構造で、一方は前記アクティブ素子をマトリクス状に形成したアクティブマトリクス基板、他方は例えばガラス基板上全面に透明電極を形成してなる対向基板から構成されている。液晶としては通常コントラストの高くとれるTN型が多く用いられるためアクティブ素子形成用基板もガラス等の透明基板を利用した透過型液晶表示装置が開発されている。

アクティブ素子のチャネル領域となる薄膜半導体材料としては、主にアモルファスシリコン(a-Si)やポリシリコン(p-Si)が使用されている。a-Siは、低温で膜形成が可能な事から安価なガラス基板を使用でき、最近の多くのポケット

特開平2-211428(2)

型液晶テレビ等に応用されている。p-siは、a-siより移動度が大きく、また単結晶シリコン、a-siに比べ極端に光感度が鈍く、つまり光に対し非常に安定な、高性能アクティブ素子を実現できる。このため次期高精細液晶表示装置等への適用が期待されているが、まだ安価なガラス基板が使える程の低温で、簡便に大面積形成が可能な技術が熟成していないのが現状である。

この様なp-siを用いたアクティブ素子を形成する方法として通常のシリコンICやLSIプロセス中の高温p-siプロセスを利用する方法がある。ただし基板材料としては、この様な高温プロセスに耐える石英や単結晶シリコン基板が必要である。この中で後者の単結晶シリコン基板を用い光入射が無くかつ高速、高性能が要求される周辺駆動回路を単結晶シリコントランジスタ回路で構成し、光入射のあるアクティブ素子部をp-si TFTで形成しアクティブマトリクス基板とする方法が、例えば特願昭61-246653「アクティブマトリクス液晶表示装置およびその製造方

法」の明細書中に述べられている。この発明によれば、第2図に示す様に例えば透明ガラス基板201上にエポキシまたはポリイミド等の透明な接着層202によりアクティブ素子が形成されたデバイス層を接着し、アクティブマトリクス基板を構成している。このデバイス層の詳細は以下の通りである。第2図には示されていないが、単結晶シリコン基板上に、通常のシリコンIC、LSIプロセスを用い例えば二酸化シリコンからなる熱酸化絶縁膜203を形成し、この絶縁膜上に島状のp-si半導体層204をマトリクス状に配列形成した後、ゲート絶縁膜205、ゲート電極206を順次p-si半導体層204上にパターン形成する。次に、例えばイオン注入等によりソース、ドレイン領域をp-si半導体層204に形成した後、配線分離用絶縁膜207を形成し、この配線分離用絶縁膜207にコンタクトホールをあけ、例えばアルミ配線で信号配線用のドレイン配線208、ソースコンタクト209をパターン形成し、TFTとする。表示電極210は例えば

ITOからなる透明電極で、ソースコンタクト209と接続されて配線分離用絶縁膜上に形成される。この場合、特にソースコンタクトは無くてもかまわないが、例えば厚さ500Å程度の表示電極210だけでは例えば通常深さが3000Å以上のコンタクトホールを通じてソース領域との接続の信頼性が無くなる。最後に、この単結晶シリコン基板を高面から選択ポリッシングにより熱酸化絶縁膜203まで研磨し、薄膜のデバイス層としている。周辺駆動回路まで含めたアクティブマトリクス基板の模式的平面図を第3図に示す。例えばゲート電極206を水平配線、ドレイン配線208を垂直配線とするマトリクス配線とp-si TFT303および表示電極210で各々分離された画素とから形成されたアクティブマトリクス素子部の周囲に、周辺駆動回路である例えば単結晶シリコントランジスタで構成された走査駆動回路301、信号駆動回路302が設置されている。以上の様にして形成されたアクティブマトリクス基板上に液晶配向膜211を少なくとも表示

電極210上全面に形成し、例えばITOからなる透明性対向電極212が透明ガラス基板201全面に形成された対向基板とで、例えばTN型液晶213をはさむ事により液晶表示装置が完成される。

〔発明が解決しようとする課題〕

ところで液晶配向膜211を形成する方法として何種類か考えられるがその中で最近では、製造が非常に容易なラビング法が用いられている。これは、例えばポリイミド等の有機膜を印刷等でパターン形成した後、液晶分子が一方向に配列する様に、布等の表面の植毛で有機膜を摩擦する方法である。この方法により、第2図に示した様にアクティブマトリクス基板上に形成した有機膜をラビングし液晶配向膜211とする場合、アルミ配線等の段差により全域にわたり均一な配向が得られない。特に、段差部つまり表示電極210の周辺部で顕著となる。例えばアルミ配線の膜厚による段差は、通常1μm以上となり顕著な場合、ラビングされるのはほとんどアルミ配線上でラビン

グしたい表示電極210上は無配向となってしまう。また表示電極210上を良好な配向膜とするため摩擦力を強くしたりすると、TFTに損傷を与えかねない。以上の様に従来例においては、液晶配向膜211形成のラビング時において配向膜不良をおこしたり、またTFTに損傷を与えたりする歩留りの悪い構造であった。以上の課題は、石英基板上に直接p-SiTFTを形成したアクティブマトリクス基板においても同様である。

本発明の目的は、この様な従来の欠点を取り除き、高歩留りで高性能な液晶表示装置用アクティブマトリクス基板を提供する事にある。

(課題を解決するための手段)

上記目的を達成するためには、本発明の液晶表示装置用アクティブマトリクス基板は、絶縁性基板上に、マトリクス状に形成された薄膜半導体アクティブ素子、該アクティブ素子に1対1に接続された表示電極、該表示電極に前記アクティブ素子を通じ信号を制御および印加するためのマトリクス配線を少なくとも構成された液晶表示装置用

度から1000Å以上が望ましい。この絶縁膜103上に例えばCVD法によりp-Si半導体層104を蒸着し、マトリクス状の各画素毎のTFTチャネル領域となる様に島状にパターン化する。続いてp-Si半導体層104上に例えば熱酸化による二酸化シリコンからなるゲート絶縁膜105、p-Siゲート電極106を通常のシリコンICのMOSFETと同等なプロセスで順次形成、パターン化する。p-Siゲート電極106はそのままマトリクス配線の例えば水平配線を形成し、p-SiTFTの開閉制御を行なう。p-Si半導体層104にソース、ドレイン領域を形成する例えばイオン注入を行なった後、ゲート電極106と後のアルミ配線を分離する配線分離用絶縁膜107を形成し、ソース、ドレイン領域に相当する部分にコンタクトホールをあける。絶縁膜107の上に厚さ1μm程度のアルミニウム膜全面蒸着後、信号印加配線となるドレイン配線108およびソースコンタクト109にパターン化する。その後、ソースコンタクト109のアル

ミニウムと接続された例えばITOからなる透明の表示電極110を形成し各画素毎にパターン分離する。この時表示電極110は、ドレイン配線108、ソースコンタクト109アルミ蒸着前に形成しておいてもかまわない。またソースコンタクト109のアルミニウムは特に必要としない事は従来例に述べた通りである。次に、少なくともマトリクス状に形成された画素全面に、例えば二酸化シリコン系塗布膜材料(商品名:東京応化製OCD)あるいはアリカル系樹脂被膜材料(商品名:日本合成ゴム製JSS-451)等を1μm~2μm程度スピンコートで塗布し焼成する事により平坦化膜111を形成する。最後に、従来例で述べた様に選択ポリッシングを用い、絶縁膜103が露出するまで単結晶シリコン基板を裏面より研磨し、デバイス層が完成する。平坦化膜111は、単結晶シリコン基板研磨後のアクティブマトリクス基板上に形成する方法でもかまわない。

(実施例)

以下、本発明の一実施例について図面を参照して説明する。第1図は本発明の一実施例を説明するための液晶表示装置用アクティブマトリクス基板の断面図である。第1図において、例えば保持基板として安価な透明ガラス基板101上に接着層102を介してマトリクス状に配列されたp-SiTFTからなるアクティブ素子を有する薄膜のデバイス層が設置されている構造は前に述べた従来例と同様である。また接着層102も従来例同様例えばエポキシ系あるいはポリイミド系の透明性接着材である。

以下、デバイス層について詳細に説明する。図示されていないが単結晶シリコン基板上に熱酸化法やCVD法等により例えば二酸化シリコンの絶縁膜103を形成する。厚さは特に限定は無いが後で述べるデバイス層を形成するための研磨精

ミニウムと接続された例えばITOからなる透明の表示電極110を形成し各画素毎にパターン分離する。この時表示電極110は、ドレイン配線108、ソースコンタクト109アルミ蒸着前に形成しておいてもかまわない。またソースコンタクト109のアルミニウムは特に必要としない事は従来例に述べた通りである。次に、少なくともマトリクス状に形成された画素全面に、例えば二酸化シリコン系塗布膜材料(商品名:東京応化製OCD)あるいはアリカル系樹脂被膜材料(商品名:日本合成ゴム製JSS-451)等を1μm~2μm程度スピンコートで塗布し焼成する事により平坦化膜111を形成する。最後に、従来例で述べた様に選択ポリッシングを用い、絶縁膜103が露出するまで単結晶シリコン基板を裏面より研磨し、デバイス層が完成する。平坦化膜111は、単結晶シリコン基板研磨後のアクティブマトリクス基板上に形成する方法でもかまわない。

以上の様にして形成された本実施例のアクティ

マトリクス基板においては、平坦化膜によって、マトリクス配線等による $1\mu\text{m}$ 程度の段差が例えば $0.1\sim 0.2\mu\text{m}$ 程度に軽減される。またマトリクス配線等による段差はフォトリソグラフィにより急峻であるが、平坦化膜111ではなめらかな段差の構造となっている。

液晶表示装置としては、第1図に示す様に液晶配向膜112形成後、図示されているが、対向電極を有する対向基板とて液晶をはさんだ構造となる。従って本実施例のアクティブマトリクス基板では、表示電極110と対向電極間に印加された信号電圧は、液晶と平坦化膜111に分圧され実質的に液晶にかけたい信号電圧が減少する。この分圧比は、液晶と平坦化膜111の直列に接続された容量に依存する。従って液晶の容量を小さく平坦化膜111のそれを大きくすればよい。容量は膜厚と誘電率に依存するが、膜厚は、コントラストや平坦化性にそれ程大きくは変えられない。誘電率は、本実施例で述べた SiO_2 系、アクリル系共3〜5で、液晶とほぼ同程度であり、例えば膜

厚比、液晶：平坦化膜＝5：1で液晶の方に80%以上信号電圧が印加される。このため特に問題は生じないが、できれば平坦化膜111材料の誘電率は、高いものを選ぶ方が好ましい。こういった材料には、例えば強誘電性のPLZT系塩布材料（商品名：高純度化学製アルコラード）等が有効である。

尚、本実施例では、周辺駆動回路を単結晶シリコン基板上に構成するのは第3図に示す従来例と同等で、平坦化プロセスは共用も可能である。また、本実施例では、単結晶シリコン基板上に p-SiTFET を形成するアクティブマトリクス基板について説明したが、従来例で述べた石英基板上に直接 p-SiTFET を形成する場合でもさらに a-SiTFET や TFTD 等のアクティブマトリクス基板においても同等である。

〔発明の効果〕

以上説明した様に、本発明の液晶表示装置用アクティブマトリクス基板によれば、平坦化膜111のスピンコートという簡単なプロセスによ

り、アルミ配線等による急峻な高い段差をなめらかで平坦な表面とすることができ、ラビングにより表示電極部上においてもムラの無い良好な液晶配向膜112が形成され、良好な液晶表示を可能とする。また、摩擦力の強いラビングは不必要であり、ラビング時におけるアルミ配線や TFTD 部へのダメージが少なく欠陥の無い高歩留りな構造となっている。

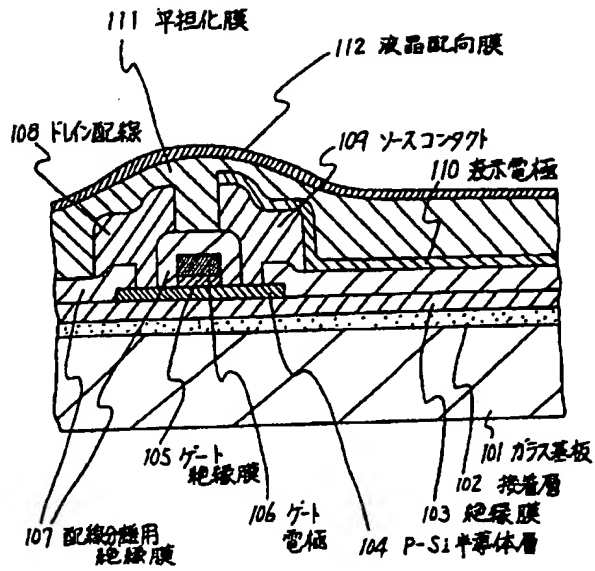
図面の簡単な説明

第1図は本発明の一実施例を説明するための液晶表示装置用アクティブマトリクス基板の断面図、第2図は従来例を説明するためのアクティブマトリクス液晶表示装置の断面図、第3図は本発明および従来例を説明するための液晶表示装置用アクティブマトリクス基板の模式的平面図である。

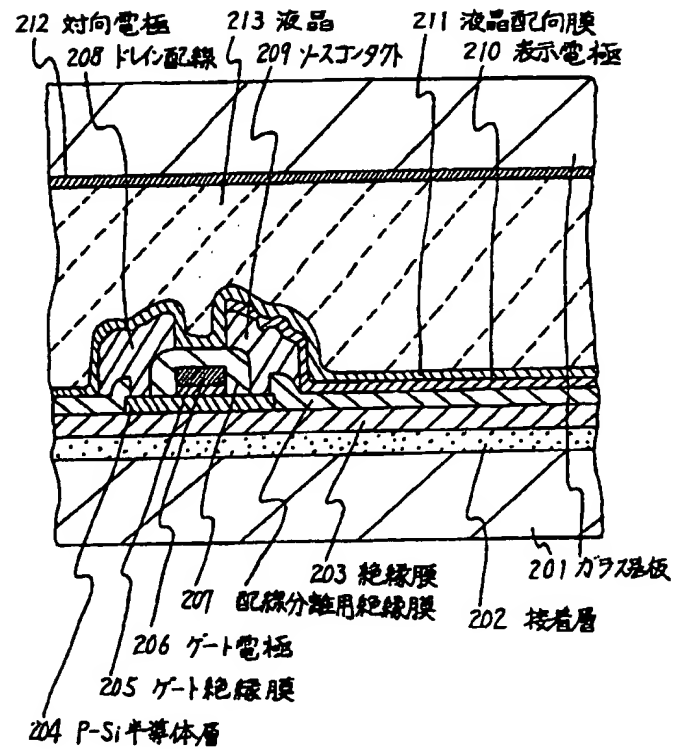
101, 201…ガラス基板、102, 202…接着層、103, 203…絶縁膜、104, 204… p-Si 半導体層、105, 205…ゲ

ト絶縁膜、106, 206…ゲート電極、107, 207…配線分離用絶縁膜、108, 208…ドレイン配線、109, 209…ソースコンタクト、110, 210…表示電極、111…平坦化膜、112, 211…液晶配向膜、212…対向電極、213…液晶、301…走査駆動回路、302…信号駆動回路。

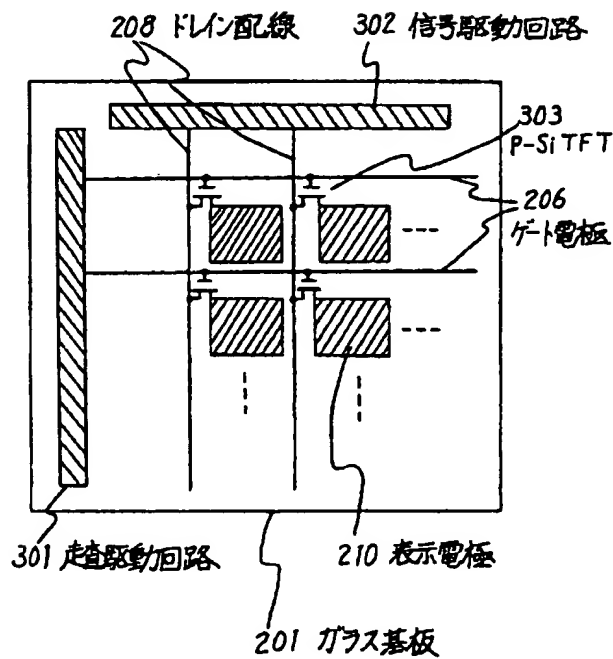
代理人 弁理士 内 原 晋



第 1 図



第 2 図



第 3 図